

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-236060  
 (43)Date of publication of application : 05.09.1995

(51)Int.CI. H04N 1/409  
 G06T 1/00  
 G06T 5/20

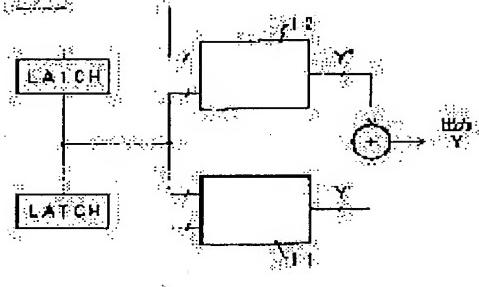
(21)Application number : 06-022917 (71)Applicant : NIKON CORP  
 (22)Date of filing : 22.02.1994 (72)Inventor : NITTA KEIICHI

## (54) PICTURE PROCESSOR

### (57)Abstract:

**PURPOSE:** To enable an emphasis processing in a frequency domain and a processing equivalent to coring by the same hardware.

**CONSTITUTION:** This picture processor is provided with plural Lookup Tables 11 and 12 for respectively inputting at least one piece of the same pixel data of digital picture signals and an adder for adding output from the plural Lookup Tables 11 and 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-236060

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl.  
H04N 1/409  
G06T 1/00  
5/20

識別記号 戸内整種番号

P I

技術表示箇所

H04N 1/40      101 D  
G06F 15/66      N

審査請求 未請求 請求項の数3 OL (全7頁) 最終頁に続く

(21)出願番号 特願平6-22917

(22)出願日 平成6年(1994)2月22日

(71)出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72)発明者 新田 啓一

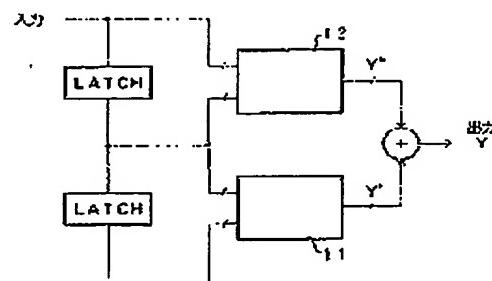
東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

(54)【発明の名称】 画像処理装置

(57)【要約】 (修正有)

【目的】画像処理装置において、周波数領域における強調処理とコアリングに相当する処理を同一のハードウェアで実現する。

【構成】画像処理装置において、デジタル画像信号の同一画素データの少なくとも1画素データ分が、それぞれに入力される複数のLook up Tableと、該複数のLook up Tableからの出力を加算する加算器とを有する。



1

## 【特許請求の範囲】

【請求項1】デジタル画像信号を1クロック分遅延させる遅延回路を備え前記デジタル画像信号の周波数領域の強調等の処理をデジタルデータを用いて行う画像処理装置において、前記デジタル画像信号の同一画素データ分が、それぞれに入力される複数のLook up Tableと、該複数のLook up Tableからの出力を加算する加算器と、を有することを特徴とする画像処理装置。

【請求項2】デジタル画像信号を1クロック分遅延させる遅延回路を備え前記デジタル画像信号の周波数領域の強調等の処理をデジタルデータを用いて行う画像処理装置において、前記デジタル画像信号の隣接画素データがそれぞれに入力される複数のLook up Tableと、該複数のLook up Tableからの出力を加算する加算器と、を有することを特徴とする画像処理装置。

【請求項3】デジタル画像信号を1クロック分遅延させる遅延回路を備え前記デジタル画像信号の周波数領域の強調等の処理をデジタルデータを用いて行う画像処理装置において、前記デジタル画像信号の同一画素データが入力される少なくとも2つのLook up Tableを含む複数のLook up Tableと、該複数のLook up Tableからの出力を加算する加算器と、を有することを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は周波数領域におけるデジタルデータの強調処理等を行う画像処理装置に関するものである。

## 【0002】

【従来の技術】従来の一般的なデジタル画像処理装置は図18に示すようなブロック構成である。図18において、撮像素子を含む画像入力装置101から出力された映像信号はA/D変換器102でデジタル信号に変換され、必要に応じてフレームメモリ103に記憶され、デジタル画像処理部104をへて、D/A変換器105によりアナログ信号に変換され、モニタ106に表示される。また、上記デジタル信号処理に即時性の要求がされない場合には図19に示すように、フレームメモリ103に蓄えられたデジタルデータをデジタル画像処理部104にて所定の処理を施し、この結果を再びフレームメモリ103に書きこみ、このデータをD/A変換器105でアナログ信号に変換し出力するということが行われる。

【0003】本発明は、デジタル画像処理装置において、特にデジタル画像処理部104で行われる周波数領域での高域強調処理に関するものである。一般的に、周波数領域の高域強調処理（エッジ強調）はデジタルフィルタを用いて行われる。今、デジタルフィルタとして図14に示すような係数matrix（同係数matrixは高域強調成分であるので、後に原信号を加算すれば高域強調信号

2

が得られる）を考え、これに同図中の①、②で示すデジタルデータが入力されたとする。そのデジタルデータに基づくmatrixの演算結果を時間と共に示したのが図16である。

【0004】図15はこれを2つのLATCH回路及び3つの乗算器、1つの加算器により実現した従来例である。図16、図17よりわかるように入力データと出力データ（入力+加算器出力）を比較するとエッジ部の振幅が大きくなっているおり、エッジ強調がなされていることがわかる。

## 【0005】

【発明が解決しようとする課題】図15に示すような従来の技術においては画像入力部101より出力される映像信号中のエッジ部の強調がなされるが、それと同時にノイズ成分の強調も行われてしまうので、モニタ106にノイズの多い画像が出力されてしまうという問題点があった。これを避ける為にコアリングが行われることがある。コアリングとは画像データからエッジ部か、ノイズかを判別し、ノイズと判断された場合には周波数領域の高域強調処理を行わず、エッジ部と判断された場合のみ周波数領域の高域強調処理を行う手法である。通常コアリングは、例えば図14のmatrixの場合には図15の演算結果の大小により行われ、この演算結果がある所定値より小さい場合にはノイズ、ある所定値以上の時にはエッジと判断される。従来のこの種の装置においては、このコアリングは上記matrix演算部とは別途に行っており、専用のハードウェア又はソフトウェアを必要とするという問題点があった。本発明は、この様な従来の問題点に鑑みてなされたものであり、画像処理装置において、周波数領域における強調処理とコアリングに相当する処理を同一のハードウェアで実現することを目的とする。

## 【0006】

【課題を解決するための手段】上記目的のために本発明では、デジタル画像信号を1クロック分遅延させる遅延回路を備え前記デジタル画像信号の周波数領域の強調等の処理をデジタルデータを用いて行う画像処理装置において、前記デジタル画像信号の同一画素データが、それぞれに入力される複数のLook up Tableと、該複数のLook up Tableからの出力を加算する加算器と、を有すること第1の課題解決の手段とするものである。また、デジタル画像信号を1クロック分遅延させる遅延回路を備え前記デジタル画像信号の周波数領域の強調等の処理をデジタルデータを用いて行う画像処理装置において、隣接画素データがそれぞれに入力される複数のLook up Tableと、該複数のLook up Tableからの出力を加算する加算器と、を有すること第2の課題解決の手段とし、デジタル画像信号を1クロック分遅延させる遅延回路を備え前記デジタル画像信号の周波数領域の強調等の処理をデジタルデータを用いて行う画像処理装置において、同

一画素データの少なくとも1画素データ分が入力される少なくとも2つのLook up Tableを含む複数のLook up Tableと、該複数のLook up Tableからの出力を加算する加算器と、を有することを第3の課題解決の手段とするものである。

【0007】

【作用】本発明においては、周波数領域の強調等の処理をデジタルデータを用いて行う画像処理装置において、同一画素データが、それぞれに入力される複数のLook up Tableを有するように、または隣接画素データがそれに入力される複数のLook up Tableを有するよう\*

$$Y = - (1/2) X_{-1} + X_0 - (1/2) X_1, \dots \quad (1)$$

通常画像の量子化bit数は8bitが使われることが多い。上記(1)式を単数のLook up Tableにて実現しようとすると24bit( $= 16M$ )のアドレスが必要となり、 $16M \times 8bit$ のメモリが必要となる。(図13)(これが1行5列のmatrixとなった場合には40bit( $= 10^{12}$ )のアドレスが必要となる。)すなわち、上記を1回の演算で実現しようとするには、メモリ要素の高集積化に期待せざるを得ない。

【0009】この為、本発明では複数のLUTにより、上記演算を行う構成とした。図10にこの一例を示す。第1のLUT 71には $X_{-1}$ と、隣接画素データ $X_0$ が同時に入力する。第1のLUT 71のアドレス部は $X_{-1}$ と $X_0$ の全ての組合せであり、データ部には全ての $X_{-1}$ と $X_0$ の組合せについて $Y' = - (1/2) X_{-1} + X_0$ の値が格納されている。ここでは簡単の為、量子化bit数を2bitとし、ノイズ成分とエッジ成分の判別値は十進数で2として考える。第1のLUT 71の格納データを図11に示す。(尚、同図中の表記は全て十進法である)図中※は $|X_0 - X_{-1}| > 1$ が2以上あり、エッジと判断される場合である。それ以外はノイズと判断され、強調成分はりとなる。

【0010】ここで図9に示すデジタルデータが図10※

$$Y = [ - (1/2) X_{-1} + (1/2) X_0 ] \\ \text{第1項} \\ + [ (1/2) X_0 - (1/2) X_{-1} ] \\ \text{第2項}$$

この(2)式の第1項、第2項を2つのLUTで構成する。

【0012】このブロックダイアグラムを図1に示す。また、LUT 11, 12の内容を図2、図3に示す。ここでノイズ、エッジの判別基準は図13の例と同様とする。図4は上記条件のもとで $X_{-1}, X_0, X_1$ より求めたその値を全てのくみあわせについて示した。これより図2、図3より求めたものと図4とが一致していることがわかる。先に図12で説明した $X_{-1} = 2, X_0 = 1, X_1 = 1$ の場合にはノイズと判断され演算結果はりとなる。また、 $X_{-1} = 2$ の場合も演算結果はりとなる。

\*に、または同一画素データの少なくとも1画素データ分が入力される少なくとも2つのLook up Tableを含む複数のLook up Tableを有するように構成したので、各々に共通に入力される画像データが少なくとも1画素データ分あるので、同画素データと周辺画素データの差分をとることにより、ノイズ、エッジの判別を可能とすることができる。

【0008】

【実施例】図14のmatrixの演算結果は次の式で得られる。

$Y = Y' - (1/2) X_{-1}$ により計算される。ここでLUT 71より0が入力された1つの場合について考える。図11中の①の一の場合Y'出力はりになる。この時 $X_{-1}, X_0$ は各々2, 1であり、LUT 71内部のコアリング処理によりこの変化分はノイズと判断され $Y'$ は0となる。次に $X_{-1}$ として1又は2が入った場合の出力は各々 $- (1/2), -1$ になるが、 $X_0$ は1であるので $X_{-1}$ との差分は1である。これはノイズと判断され、本来はY出力としてりが得られるはずである。これはLUT 73において、ノイズ、エッジの判定が行えない為である。本発明ではこれを解決する為、例えば上の例で説明すると2つのLUT 各々に $X_0$ の画像データを入力する構成とした。

【0011】以下、これについて説明する。(1)式 $Y = - (1/2) X_{-1} + X_0 - (1/2) X_1$ を変形すると下記の(2)式のようになる。

$$\dots \quad (2)$$

【0013】本例では水平方向のフィルタについて示したが、垂直方向のフィルタについても例えば、図1の中のLATCHのかわりに垂直方向に同様の処理、即ちインターレース走査の場合は1 Field Delay、ノンインターレース走査の場合は1 Line Delayを用いれば同様である。また次に係数matrixの列数を拡張し $1 \times 5$ として考える。ここでは、フィルタの位相特性を直線とする為、通常行われるとおり、係数は対称として考えるmatrixの例を図5に示す。

【0014】この時のLUTを用いたBlock diagramを図6に示す、図中のLUT 21~24は各々次の式(3)の第1~4項を実現している。

$$\begin{aligned}
 & 5 \\
 Y = & [ - (1/4) X_{z-2} - (1/8) X_{z-1} ] \\
 & \text{第1項} \\
 & + [ - (1/8) X_{z-1} + (1/2) X_z ] \\
 & \text{第2項} \\
 & + [ (1/2) X_z - (1/8) X_{z+1} ] \\
 & \text{第3項} \\
 & + [ - (1/8) X_{z+1} - (1/4) X_{z+2} ] \\
 & \text{第4項}
 \end{aligned}$$

(3)

このように隣接画素の画像データが入力されるLUTを用いることでコアリングに相当する処理と周波数領域での処理を同時に実現することができる。

【0015】尚上記例では、隣接画素についてノイズ、エッジの判別を行ったが、中心画素と周辺の画素でこれを行ってもよい。図5の例でこれを行うと図7のように

\*エッジの判定を行ったが、中心画素と周辺の画素でこれを行ってもよい。図5の例でこれを行うと図7のようになる。図中のLUT 31~34は各々、次の(4)式の第1~4項を実現する。

$$\begin{aligned}
 Y = & [ - (1/4) X_{z-2} + (1/4) X_z ] \\
 & \text{第1項} \\
 & + [ - (1/4) X_{z-1} + (1/4) X_z ] \\
 & \text{第2項} \\
 & + [ - (1/4) X_{z+1} + (1/4) X_z ] \\
 & \text{第3項} \\
 & + [ - (1/4) X_{z+2} + (1/4) X_z ] \\
 & \text{第4項}
 \end{aligned}$$

(4)

また、図5の例においてノイズ、エッジの判別を中心画素とその隣接画素についてのみ行ってもよい。これを具現化したブロックダイアグラムを図8に示す。図中のLUT

※T 4 1~4 3は各々、次の(5)式の第1~3項を実現する。

【0016】

$$\begin{aligned}
 Y = & [ - (1/4) X_{z-1} + (1/2) X_z ] \\
 & \text{第1項} \\
 & + [ - (1/4) X_{z+1} + (1/2) X_z ] \\
 & \text{第2項} \\
 & + [ - (1/4) X_{z-2} - (1/4) X_{z+2} ] \\
 & \text{第3項}
 \end{aligned}$$

(5)

【0017】

【発明の効果】以上の様に本発明によれば、同一画素データが、それぞれに入力される複数のLook up Tableを有するように、または隣接画素データがそれぞれに入力される複数のLook up Tableを有するように、または同一画素データが入力される少なくとも2つのLook up Tableを含む複数のLook up Tableを有するように画像処理装置にLUTを構成することで、周波数領域における強調処理とコアリングに相当する処理を同一のハードウェアで実現する如くなしたので、ノイズの少ない画像が得られると共に専用のハードウェアまたはソフトウェアを必要としないという効果を奏するものである。

【図面の簡単な説明】

【図1】本発明による第1実施例を説明するブロック構成を示す図である。

【図2】本発明による第1実施例のLUT 11の内容を示す図である。

【図3】本発明による第1実施例のLUT 12の内容を示す図である。

【図4】本発明による第1実施例のLUT 11、LUT 12の出力とその加算結果を示す図である。

30 【図5】本発明による第2実施例を説明する図でありフィルターの係数マトリックスを示す図である。

【図6】本発明による第2実施例のブロック構成を示す図である。

【図7】本発明の第3の実施例を説明するブロック構成図である。

【図8】本発明の第4の実施例を説明するブロック構成図である。

【図9】従来例におけるLUTのシミュレーションを説明する図である。

40 【図10】従来の技術を説明するブロック構成図である。

【図11】従来技術のLUT 7 1の内容を示す図である。

【図12】従来技術のLUT 7 3の内容を示す図である。

【図13】LUTの説明図である。

【図14】デジタルフィルタの一一般的な説明図であり、サンプル値とマトリックスを説明する図である。

【図15】デジタルフィルタの一一般的な説明図であり、ブロック構成図である。

【図16】デジタルフィルタの一一般的な説明図であり、

50 構成から得られる動作を説明する図である。

【図17】デジタルフィルタの一般的な説明図であり、  
図15の結果に原信号を加算した際の説明図である。

【図18】画像処理装置の構成図である。

【図19】画像処理装置の構成図である。

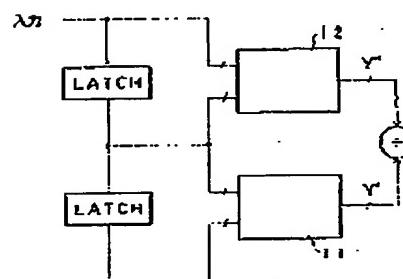
【符号の説明】

11, 12, 21~24, 31~34, 41~43, 71, 73[Look up Tabl]

e

- \* 72 LATCH回路
- 101 画像入力装置
- 102 A/D変換回路
- 103 メモリ回路
- 104 画像処理回路
- 105 D/A変換回路
- \* 106 モニタ

【図1】



【図2】

アドレス $X_{i-1}$	アドレス $X_i$	格納データ $Y''$
0	0	0
0	1	0
0	2	1
0	3	1.5
1	0	0
1	1	0
1	2	0
1	3	1
2	0	-1
2	1	0
2	2	0
2	3	0
3	0	-1.5
3	1	-1
3	2	0
3	3	0

【図3】

アドレス $X_{i-1}$	アドレス $X_i$	格納データ $Y''$
0	0	0
0	1	0
0	2	-1
0	3	-1.5
1	0	0
1	1	0
1	2	0
1	3	-1
2	0	0
2	1	0
2	2	0
2	3	0
3	0	1.5
3	1	1
3	2	0
3	3	0

【図4】

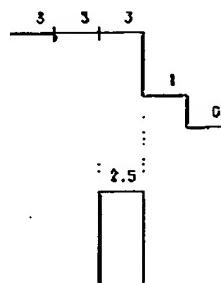
$X_{i-1}$	$X_i$	$X_{i+1}$	$Y$												
0	0	0	0	1	0	0	0	2	0	0	-1	3	0	0	-1.5
0	0	1	0	1	0	1	0	2	0	1	-1	3	0	1	-1.5
0	0	2	-1	1	0	2	-1	2	0	2	-2	3	0	2	-2.5
0	0	3	-1.5	1	0	3	-1.5	2	0	3	-2.5	3	0	3	-3
0	1	0	0	1	1	0	0	2	1	0	0	3	1	0	0
0	1	1	0	1	1	1	0	2	1	1	0	3	1	1	-1
0	1	2	0	1	1	2	0	2	1	2	0	3	1	2	0
0	1	3	-1	1	1	3	-1	2	1	3	-1	3	1	3	-2
0	2	0	2	1	2	0	1	2	2	0	1	3	2	0	1
0	2	1	1	1	2	1	0	2	2	1	0	3	2	1	0
0	2	2	1	1	2	2	0	2	2	2	0	3	2	2	0
0	2	3	1	1	2	3	0	2	2	3	0	3	2	3	0
0	3	0	3	1	3	0	2.5	2	3	0	1.5	3	3	0	1.5
0	3	1	2.5	1	3	1	2	2	3	1	1	3	3	1	1
0	3	2	1.5	1	3	2	1	2	3	2	0	3	3	2	0
0	3	3	0	1	3	3	1	2	3	3	0	3	3	3	0

【図5】

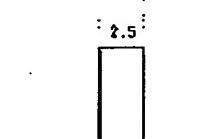
$$\text{matrix} \begin{pmatrix} -\frac{1}{4} & -\frac{1}{2} & 1 & -\frac{1}{4} & -\frac{1}{4} \end{pmatrix}$$

【図9】

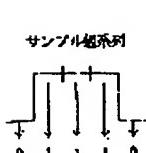
(a) 入力



(b) 出力

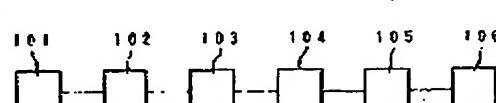


【図14】



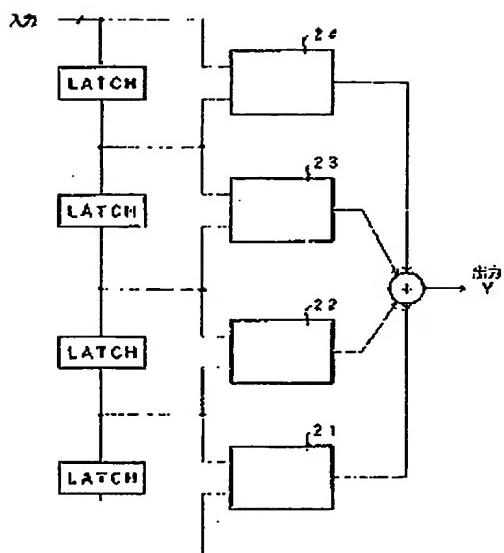
サンプル時系列

$$\text{matrix} \begin{pmatrix} -\frac{1}{2} & 1 & \frac{1}{2} \end{pmatrix}$$

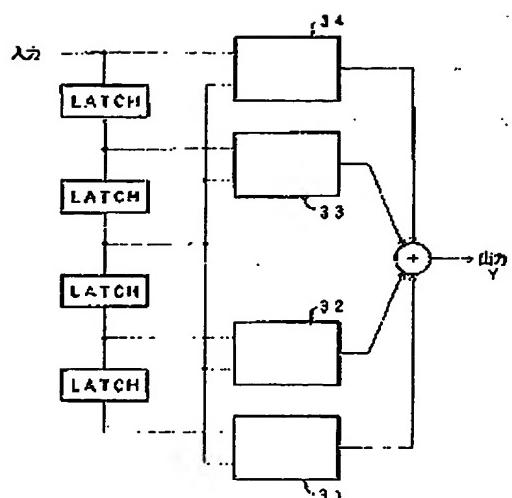


【図18】

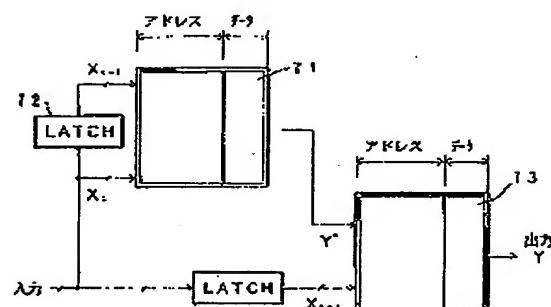
[図6]



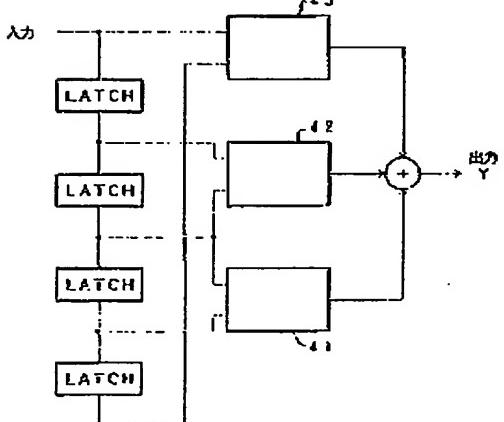
[図7]



[図10]



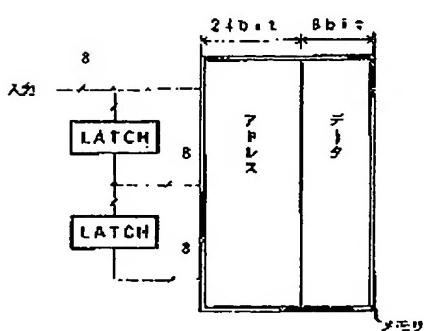
[図8]



[図11]

アドレス X <sub>11</sub>	アドレス X <sub>12</sub>	格納データ Y'
0	0	0
0	1	0
0	2	2
0	3	3
1	0	5
1	1	2
1	2	0
1	3	2.5
2	0	-1
2	1	0
2	2	0
2	3	0
3	0	-1.5
3	1	-0.5
3	2	0
3	3	0

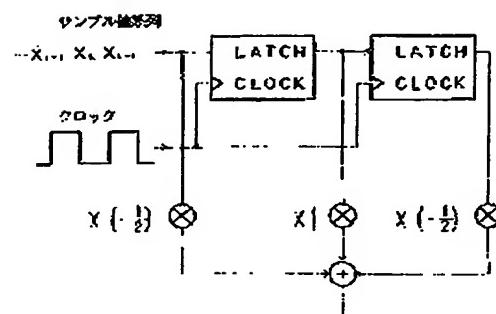
[図13]



【図12】

アドレス Y' X... Y	格納データ Y	アドレス Y' X... Y	格納データ Y	アドレス Y' X... Y	格納データ Y
-1.5 0	-1.5	0 0	0	2 0	3
-1.5 1	-2	0 1	-0.5	3 1	2.5
-1.5 2	-2.5	0 2	-1	3 2	2
-1.5 3	-3	0 3	-1.5	3 3	1.5
-1 0	-1	2 0	2		
-1 1	-1.5	2 1	1.5		
-1 2	-2	2 2	1		
-1 3	-2.5	2 3	0.5		
-0.5 0	-0.5	2.5 0	2.5		
-0.5 1	-1	2.5 1	2		
-0.5 2	-1.5	2.5 2	1.5		
-0.5 3	-2	2.5 3	1		

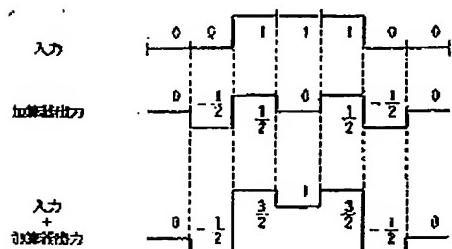
【図15】



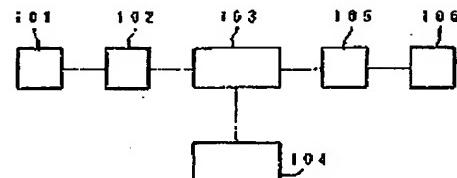
【図16】

Matrix			初期値 出力
$\begin{bmatrix} \frac{1}{2} & 1 & 1 \\ 2 & \end{bmatrix}$			
t <sub>1</sub>	0 1 1 1 0	:	$-\frac{1}{2} \times 0 = 0$
t <sub>2</sub>	0 1 1 1 0	:	$1 \times 0 - \frac{1}{2} \times 1 = -\frac{1}{2}$
t <sub>3</sub>	0 1 1 1 0	:	$-\frac{1}{2} \times 0 + 1 \times 1 - \frac{1}{2} \times 1 = \frac{1}{2}$
t <sub>4</sub>	0 1 1 1 0	:	$-\frac{1}{2} \times 1 + 1 \times 1 - \frac{1}{2} \times 1 = 0$
t <sub>5</sub>	0 1 1 1 0	:	$-\frac{1}{2} \times 1 + 1 \times 1 - \frac{1}{2} \times 0 = -\frac{1}{2}$
t <sub>6</sub>	0 1 1 1 0	:	$-\frac{1}{2} \times 1 + 1 \times 0 = -\frac{1}{2}$
t <sub>7</sub>	0 1 1 1 0	:	$-\frac{1}{2} \times 0 = 0$

【図17】



【図19】



フロントページの続き

(51)Int.Cl.°

識別記号 廣内整理番号

F I

G 06 F 15/58

技術表示箇所

400 J